

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-046856

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H02M 7/48

H02P 7/63

(21)Application number : 05-208906

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 30.07.1993

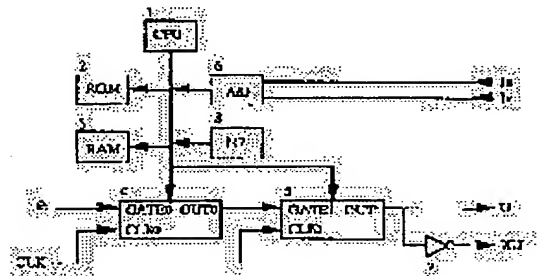
(72)Inventor : SASAKI KUNIHICO

(54) DIGITAL PWM CIRCUIT

(57)Abstract:

PURPOSE: To enhance the resolution of a PWM circuit through small circuitry without increasing the rate of clock pulse CLK by comparing a carrier signal with an effective reference amount to produce a PWM signal.

CONSTITUTION: When a CPU 1 is set to 16 bits and operational counters 4, 5 are set to 12 bits, the CPU 1 calculates the current difference Δi for each phase based on the present currents I_U, I_V measured by an A/D converter 6 and a current command sine wave every T_e time and conducts current compensation operation such that the current control system is stabilized with high response. The operation results are stored as a 16 bit control amount S in a RAM 3 and subsequently subjected to data processing by means of 12 bit subtraction counters 4, 5 to produce a PWM output. Least significant 4 bits are then omitted from the PWM output to produce a 12 bit reference value (s) stored in the RAM 3. The number of output times, equal to the least significant 4 bits, is also generated and stored in the RAM 3. This constitution increases the PWM carrier frequency to enhance the PWM resolution.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-46856

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/48	F	9181-5H		
	J	9181-5H		
H 0 2 P 7/63	3 0 2 K	9178-5H		
	L	9178-5H		

審査請求 未請求 請求項の数 1 F D (全 8 頁)

(21) 出願番号	特願平5-208906	(71) 出願人	000000376 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷 2 丁目43番 2 号
(22) 出願日	平成 5 年(1993) 7 月30日	(72) 発明者	佐々木 邦彦 東京都渋谷区幡ヶ谷 2 丁目43番 2 号 オリ ンパス光学工業株式会社内
		(74) 代理人	弁理士 奈良 武

(54) 【発明の名称】 デジタル式PWM回路

(57) 【要約】

【目的】 クロックパルスを速くすることなく、小さな回路規模でPWM回路の分解能を上げる。

【構成】 演算周期 T_e 毎に電流偏差値から制御量を求める補償演算手段と、 $2 \times T_c \leq T_e$ のキャリア信号を発生するキャリア信号発生手段と、上記制御量を有効基準量に変換するデータ変換手段と、上記キャリア信号と有効基準量とを比較しPWM信号を生成するPWM信号生成手段とを設け、1 演算周期 T_e 内で異なるPWM信号を出力する。

【特許請求の範囲】

【請求項 1】 電動機の相入力電流を周波数制御する PWM 回路において、演算周期 T_e 毎に電流偏差値から制御量を求める補償演算手段と、 $2 \times T_c \leq T_e$ なる周期 T_c のキャリア信号を発生させるキャリア信号発生手段と、前記制御量を有効基準量に変換するデータ変換手段と、前記キャリア信号と前記有効基準量とを比較し PWM 信号を生成する PWM 信号生成手段とから成り、1 演算周期 T_e 内で異なる PWM 信号を出力することの特徴とするデジタル式 PWM 回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電動機をデジタルにより PWM 駆動するデジタル式 PWM 回路に関する。

【0002】

【従来の技術】以下、図 7 及び図 8 に従って従来のデジタル式 PWM 回路を説明する。図 7 は従来のデジタル式 PWM 回路のブロック構成図である。図では 1 相分の PWM 回路のみ記述してある。図中、1 は CPU、2 は ROM、3 は RAM、4、5 は減算カウンタ、6 は A/D コンバータ、7 は反転回路である。 f_c は仮想三角波を発生するためのキャリア周波数、CLK はカウンタを減算するためのクロックパルスである。図 8 は従来例の動作を説明するタイムチャートである。

【0003】以下、図 7 及び図 8 に従って従来技術の動作を説明する。CPU 1 により、電流指令正弦波の発生及び A/D コンバータ 6 による現在電流 I_u 、 I_v の測定により各相の電流偏差 Δi を計算し、PWM 出力を得るために、図 8 (a) の A、E、I、M なる PWM 基準点、即ちキャリア周波数 f_c の立ち上がり点から、第 1 の PWM 信号変化点、即ち図 8 (a) の B、F、J、N 点までのパルス幅 t_1 に相当するクロックパルス CLK 数を ROM 2 に格納された $\Delta i - t_1$ 変換テーブルより読み出し、減算カウンタ 4 にセットする。又 PW 幅、図 8 (a) の B-D、F-H、J-L に相当するパルス幅 t_2 に相当するクロックパルス CLK 数を、 t_1 と同様 ROM テーブルに格納された $\Delta i - t_2$ 変換テーブルより読み出し、減算カウンタ 5 にセットする。

【0004】減算カウンタ 4、5 は各々 GATE₀、GATE₁ 信号の L→H への変化信号により出力 OUT₀、OUT₁ の H→L にし、セットされたデータの減算カウンタ開始する。0 になったならば出力 OUT₀、OUT₁ を L→H に変化させるタイプのカウンタであるため、図 8 (c) に示したように、キャリア周波数の f_c の L→H の変化により減算カウンタ 4 は動作開始し、 t_1 時間後 OUT₀ 出力を L→H に変化させる。

【0005】又、図 8 (d) に示したように、減算カウンタ 4 の OUT₀ 出力が L→H に変化したことにより減算カウンタ 5 の GATE₁ が L→H となって動作を開始し、 t_2 時間後 OUT₁ 出力を L→H に変化させる。こ

の時間 t_2 時間が PWM パルスで出力 FET の下アーム ON 時間となる。このカウンタは GATE 入力により再トリガー可能であるため、カウント値はキャリア周波数 f_c 1 パルスにつき 1 回セットする必要がないため、キャリア周波数が高い場合でも PWM 動作を行うので t_1 、 t_2 のカウントへのセットがキャリア周波数に間に合わなくても正常動作を実施することができる。

【0006】

【発明が解決しようとする課題】しかし、PWM 回路の分解能を更に上げようとする、キャリア周波数 f_c 、クロックパルス CLK を非常に速くしなければならず、そのために回路規模が大きくなったり、コストが上昇するといった問題が出てくる。

【0007】本発明は以上のような問題を解決するためになされたもので、クロックパルス CLK を速くすることなく小さな回路規模で PWM 回路の分解能を上げることができるデジタル式 PWM 回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係るデジタル式 PWM 回路は、演算周期 T_e 毎に電流偏差値から制御量を求める補償演算手段と、PWM の搬送周期であり $2 \times T_c \leq T_e$ なるキャリア周期 T_c (キャリア周波数 $f_c = 1/T_c$) のキャリア信号を発生させるキャリア信号発生手段と、前記制御量を有効基準量に変換するデータ変換手段と、前記キャリア信号と前記有効基準量とを比較し PWM 信号を生成する PWM 信号生成手段とから成る。

【0009】

【作用】本発明によるデジタル式 PWM 回路によれば、まず補償演算手段により、電流指令値と電動機へ流す相電流との差をとって電流偏差値を求め、個々のシステムに応じたゲイン、位相の操作を行い最適な制御量 S を求める。制御量 S はデータ変換手段により、PWM 信号変換手段で出力できる n ビットに収めるために下位ビットを切り捨てた後の値 s と、 s に 1 を加えた値 ($s+1$) と、切り捨てられる下位ビットの値 r とに変換される。これらの s 、($s+1$)、 r は制御量 S と同様、演算周期 T_e 毎に更新される。

【0010】ここで単純に $T_e = T_c \times 2^n$ の場合を考えるとすると、演算周期 T_e の間に、キャリア周期 T_c の PWM 信号は 2^n 回出力する。データ変換手段より得られた値 ($s+1$) は、キャリア信号と比較して PWM 信号生成手段から PWM 信号を出力することを r 回繰り返す。その後、値 s がキャリア信号と比較して PWM 信号生成手段から PWM 信号を出力することを ($2^n - r$) 回繰り返す。この動作により、演算周期 T_e の間の PWM 信号の平均値は、次の式 1 で求められ、これは制御量 S に等しい。

【0011】

3

【式 1】

$$\frac{(s+1) \cdot r + s \cdot (2^n - r)}{2^n} = s + \frac{r}{2^n}$$

【0012】これにより、1回の出力ではnビットの分解能であったものが、1演算周期T_eでは(n+N)ビットの分解能を持つことになる。

【0013】

【実施例1】以下、本発明の実施例1を図1、図2及び図3に示す。図1は、本発明の実施例1によるデジタル式PWM回路のハードウェア構成図である。本図では1相分のPWM回路のみ記述してある。図1に於て、1〜7、f_c、CLKは図7の同一符号と同じ部分である。ここでは、CPU1を16ビット、演算カウンタ4、5を12ビット、f_cを20KHz、CLKを82MHzとして考える。8はタイマであり、時間T_cをカウントしT_c毎にCPU1に割込みをかける。

【0014】図2は、本発明の実施例1によるデジタル式PWM回路のCPU1が動作させる一連の処理を表すフローである。図2に於て、A. は主制御フローであり、電流値を検出し(a-2)参照)電流偏差(a-3)参照)や電流補償の演算を行い(a-4)参照)PWM出力様のデータを生成する(a-5)参照)、という処理を時間T_c毎に繰り返す。B. は割り込み出力フローであり、主制御フローA. で得られたPWM出力様データに従ってPWM波形を出力するという処理を時間T_c毎に割込み処理で繰り返す。

【0015】図3は本発明の実施例1によるデジタル式PWM回路の動作を示すタイミングチャートである。図3に於て、h1〜h17は時間T_c毎に区切った時間の区間であり、適当な古い区間から順番にh1、h2、h3・・・h17とした。

【0016】以下、図1、図2及び図3に従って動作を説明する。まず図示しない電流が投入されると、電装系全体のリセットが解除され、図2a-1)に示すようにCPU1の初期設定(イニシャライズ)が行われる。その後、CPU1は時間T_e毎にa-2)〜a-5)の処理を繰り返す。

【0017】時間T_e毎に繰り返される処理について、以下に述べる。図2の図a-2)〜a-4)に示すように、CPU1により、A/Dコンバータ6による現在電流I_u、I_vの測定及び電流指令正弦波の発生により各相の電流偏差Δiを計算し、電流制御系が安定、高応答となるように電流補償演算を行う。演算結果は16ビットの制御量SとしてRAM3に格納される。

【0018】ここで、f_c20KHz、PWM出力分能16ビットを必要とした場合、従来のPWM回路ではCLKは1310MHzとなり実現し難い。

【0019】そこで、実用的にCLKは82MHzと

4

し、減算カウンタ4、5を12ビットとする。a-5)では、16ビットの制御量Sを12ビットの減算カウンタ4、5を用いてPWM出力するためのデータ処理を行う。まず16ビット制御量Sの下位4ビットを切捨て、12ビットの基準値sを生成しRAM3に格納する。また切捨てられる下位4ビットの値に等しい出力回数rも生成しRAM3に格納する。以上が、主制御フローA. による動作である。

【0020】次に、図2の割込み出力フローB. にしたがってCPU1の割込み処理について述べる。a-1)イニシャライズ処理の後で割込み処理が許可されて、時間T_c毎に割込み出力フローB. の動作を繰り返す。割込み出力フローBでは制御量Sが1回演算される間つまり時間T_eに、基準値sを(2⁴-r)回、基準値に1を加えた値(s+1)をr回、PWM出力する動作を行う。b-1、b-4)では、主制御フローA. により制御量Sが更新されてから、何回減算カウンタ4、5に値をセットしたかを判定し、その回数に応じてb-2)、b-5)、b-6)のように基準値sあるいは基準値に1を加えた値(s+1)を減算カウンタ4、5にセットする。値をセットした回数が下位4ビットの値r以下の場合には、基準値に1を加えた値(s+1)を減算カウンタ4、5にセットする。値をセットした回数が下位4ビットの値rより多い場合には、基準値sを減算カウンタ4、5にセットする。図3に示したように、時間T_eの間に減算カウンタ4、5にセットする値を2⁴種類変えることで、4ビット分細かい分解能でPWM出力できることが分かる。

【0021】減算カウンタ4、5に値がセットされてから、PWM波形が生成されるまでについては、従来技術と同様であり、U、XUには図示しないFETブリッジのU相FETを駆動するゲートドライバに接続されており、U、XUはそれぞれU相上アームFETのON時間、U相下アームFETのON時間制御している。その詳細についてはここでは省略する。

【0022】以上述べたように、実施例1により、クロックCLKを実用的な周波数に選んでも、PWM搬送周波数を高め、PWM分解能を細かくすることが可能となる。全てデジタル回路でPWM波形を生成しているのでチップ化しやすく、小型化も可能となる。

【0023】

【実施例2】以下、本発明の実施例2を図4、図5及び図6にて示す。図4は、本発明の実施例1によるデジタル式PWM回路のハードウェア構成図である。本図では1相分のPWM回路のみ記述してある。図4に於て、1〜8、f_c、CLKは図1の同一符号と同じ部分である。CPU1を16ビット、減算カウンタ4、5を12ビット、f_cを20KHz、CLKを82MHzとして考える。

【0024】図5は、本発明の実施例2によるデジタル

式PWM回路のCPU1が動作させる一連の処理を表すフローである。図5に於て、C. は主制御フローであり、電流値を検出し(a-2)参照)、(a-3)参照)や電流補償を行う電流偏差(a-4)参照)、という処理を時間Te毎に繰り返す。D. は割込み出力フローであり、主制御フローC. で得られた制御量Sに従ってPWM出力のデータ生成し(a-5)参照)、PWM波形を出力する(b-1)~b-7)参照)、という処理を時間Tc毎に割込み処理で繰り返す。図6は、本発明の実施例2によるデジタル式PWM回路の動作を示すタイミングチャートである。

【0025】以下、図4、図5及び図6に従って動作を説明する。まず図示しない電源が投入されると、電装系全体のリセットが解除され、図5のa-1)に示すようにCPU1の初期設定(イニシャライズ)が行われる。その後、CPU1時間Te毎にa-2)~a-4)の処理を繰り返す。

【0026】時間Te毎に繰り返される処理について、以下に述べる。図5のa-2)~a-4)に示すように、CPU1により、A/Dコンバータ6による現在電流Iu、Ivの測定及び電流指令正弦波の発生により各相の電流偏差Δiを計算し、電流制御系が安定、高応答となるように電流補償演算を行う。演算結果は16ビットの制御量SとしてRAM3に格納される。以上が主制御フローC. による動作である。次に、図5の割込み出力フローD. にしたがってCPU1の割込み処理について述べる。a-1)イニシャライズ処理の後で割込み処理が許可されて、時間Tc毎に割込み出力フローD. の動作を繰り返す。a-5)では、16ビットの制御量Sを12ビットの減算カウンタ4、5を用いてPWM出力するためのデータ処理を行う。まず16ビット制御量Sの下位4ビットを切捨て、12ビットの基準値sを生成しRAM3に格納する。また切捨てられる下位4ビットの内上位2ビットの値に等しい出力回数rも生成しRAM3に格納する。

・【0027】b-1)~b-7)では制御量Sが1回演算される間に、基準値に1を加えた値(s+1)をr回、基準値sを(2²-r)回、PWM出力する動作を行う。b-1)、b-4)では、主制御フローC. により制御量Sが更新されてから、何回減算カウンタ4、5に値をセットしたかを判定し、その回数に応じてb-2)、b-5)、b-6)のように基準値sあるいは基準値に1を加えた値(s+1)を減算カウンタ4、5にセットする。値をセットした回数が値r以下の場合には、基準値に1を加えた値(s+1)を減算カウンタ4、5にセットする。値をセットした回数が値rより多い場合には、基準値sを減算カウンタ4、5にセットする。図6により、時間Teの間に減算カウンタ4、5に

セットする値を2²種類変えることで、2ビット分細分解能でPWM出力できることが分かる。

【0028】ここで、fc20KHz、PWM出力分解能14ビットを必要とした場合、従来のPWM回路ではCLK328MHzが必要となるが、実施例2によればCLK82MHzでよく実用的なCLKを用いることができる。減算カウンタ4、5に値がセットされてから、PWM波形が生成されるまでについては、従来技術と同様でありここでは省略する。

【0029】以上述べたように、実施例2により、クロックCLKを実用的な周波数に選んでも、PWM搬送周波数を高め、PWM分解能を細かくすることが可能となる。全てデジタル回路でPWM波形を生成しているのでチップ化しやすく、小型化も可能となる。また、実施例1よりも制御量Sの更新時間(電流制御系サンプリングタイム)が短くて済み、デジタルサーボ系で問題となる無駄時間を短くできる。

【0030】

【発明の効果】以上のように、本発明によれば、クロックCLKを実用的な周波数に選んでも、PWM搬送周波数を高め、PWM分解能を細かくすることが可能となり、安価で高搬送周波数、高精度のデジタル式PWM回路ができる。

【図面の簡単な説明】

【図1】本発明の実施例1によるデジタル式PWM回路のブロック構成図である。

【図2】実施例1によるデジタル式PWM回路のCPU1が動作させる一連の処理を表すフローである。

【図3】実施例1によるデジタル式PWM回路の動作を示すタイミングチャートである。

【図4】本発明の実施例2によるデジタル式PWM回路のブロック構成図である。

【図5】実施例2によるデジタル式PWM回路のCPU1が動作させる一連の処理を表すフローである。

【図6】実施例2によるデジタル式PWM回路の動作を示すタイミングチャートである。

【図7】従来のデジタル式PWM回路のブロック構成図である。

【図8】従来例の動作を説明するタイムチャートである。

【符号の説明】

- 1 CPU
- 2 ROM
- 3 RAM
- 4、5 減算カウンタ
- 6 A/Dコンバータ
- 7 反転回路

```

graph TD
    CPU[1 CPU]
    ROM[2 ROM]
    RAM[3 RAM]
    AD[6 A/D]
    DIV[8 /17]
    GATE0[4 GATE0 OUT0 CLK0]
    GATE1[5 GATE1 OUT1 CLK1]
    IN_fc[fc]
    IN_CLK[CLK]
    OUT_U[U]
    OUT_XU[XU]
    INverter[7 Inverter]

    CPU --> ROM
    CPU --> RAM
    CPU --> AD
    CPU --> DIV
    CPU --> GATE0
    CPU --> GATE1
    IN_fc --> GATE0
    IN_CLK --> GATE0
    IN_CLK --> GATE1
    GATE0 -- OUT0 --> GATE1
    GATE1 -- OUT1 --> OUT_U
    GATE1 -- OUT1 --> INverter
    INverter -- XU --> OUT_XU

```

図 10

時間 t

区間 h1 h2 h3 h4 h5 h6 h7 h8 h9 h10 h11 h12 h13 h14 h15 h16 h17

主観値 979 979 To

前込み 979 979 To

演算結果印位置 13.0625 *24

カマツケ値 14 13 13 13 13 13 13 13 13 13 13 13 13 13 13 13 13

```

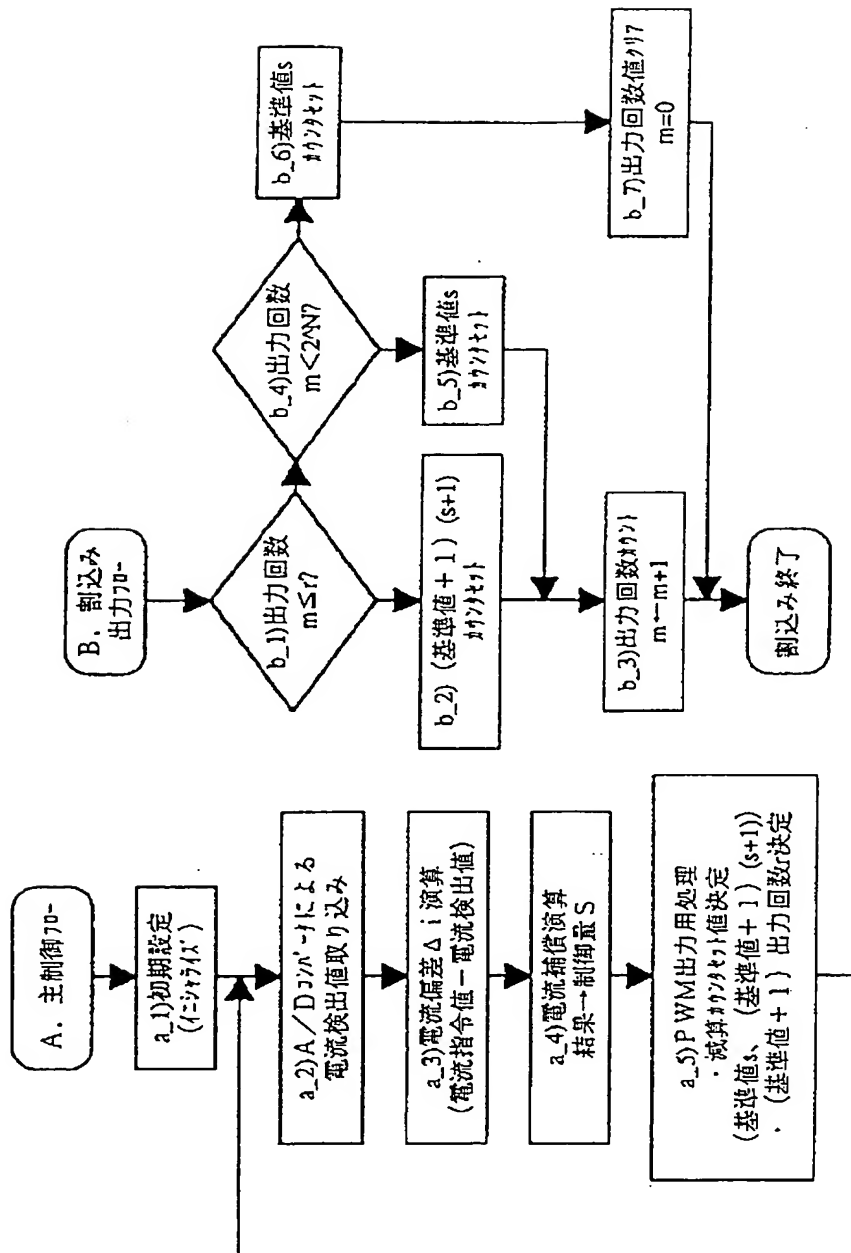
graph TD
    CPU[1 CPU]
    ROM[2 ROM]
    RAM[3 RAM]
    AD[6 A/D]
    DIV[8 1/17]
    GATE0[4 GATE0]
    GATE1[5 GATE1]
    OUT0[OUT0]
    OUT1[OUT1]
    U[U]
    XU[XU]
    INV[7 Inverter]

    CPU --> ROM
    CPU --> RAM
    CPU --> AD
    CPU --> DIV
    CPU --> GATE0
    CPU --> GATE1
    fc[fc] --> GATE0
    CLK[CLK] --> GATE0
    CLK --> GATE1
    GATE0 -- OUT0 --> GATE1
    GATE1 -- OUT1 --> U
    GATE1 -- OUT1 --> INV
    INV -- XU --> XU
  
```

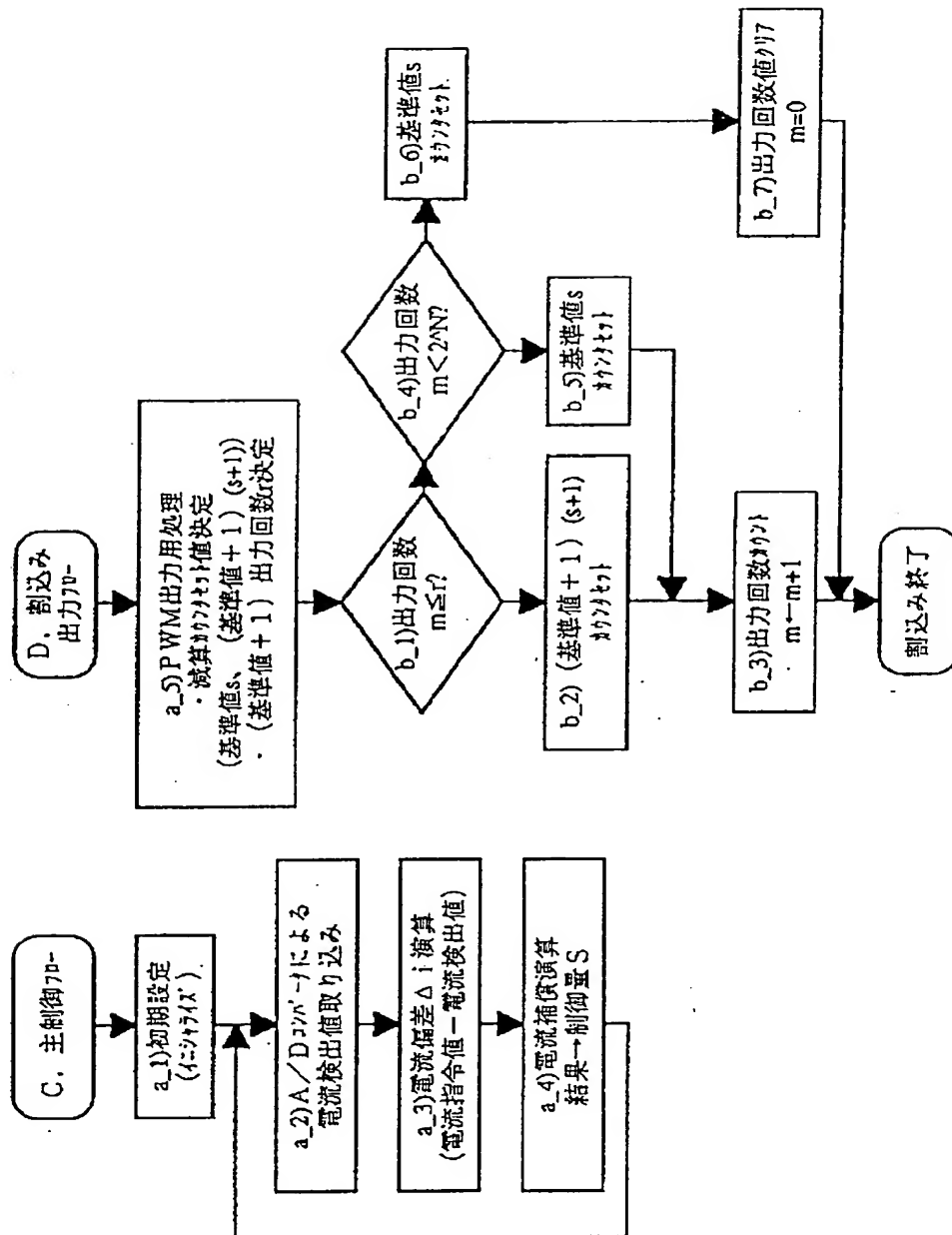
主観的「 τ 」!?!? Te
対称な「 τ 」!?!? Te
計算結果の誤差 D 21.23%
 $\tau \sim \tau_{\text{対称}} / 2$

22 21 16 15

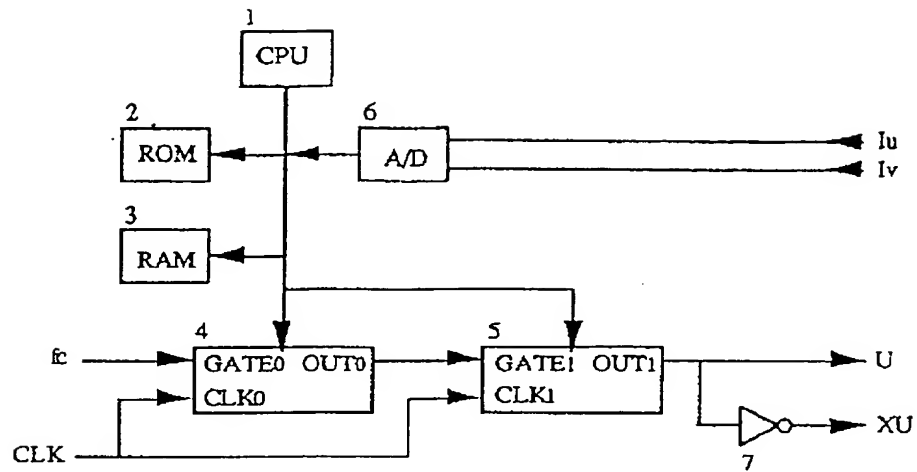
【図 2】



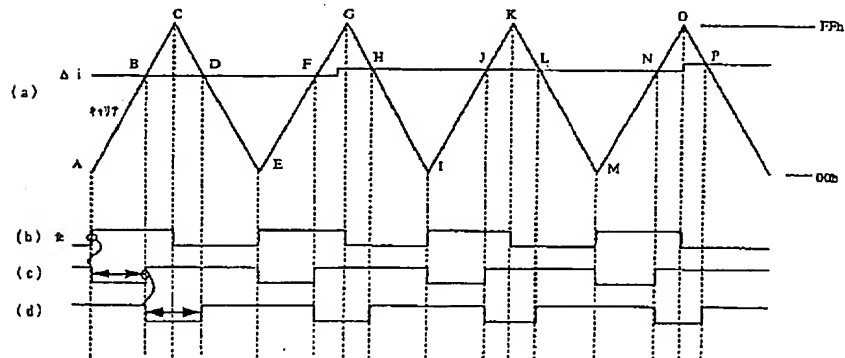
【図 5】



【図 7】



【図 8】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成13年7月19日(2001.7.19)

【公開番号】特開平 7-46856

【公開日】平成7年2月14日(1995.2.14)

【年通号数】公開特許公報 7-469

【出願番号】特願平 5-208906

【国際特許分類第7版】

H02M 7/48

H02P 7/63 302

【F I】

H02M 7/48 F

J

H02P 7/63 302 K

302 L

【手続補正書】

【提出日】平成12年7月28日(2000.7.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】ここで単純に $T_e = T_c * 2^N$ の場合を考えるとすると、演算周期 T_e の間に、キャリア周期 T_c のPWM信号は 2^N 回出力する。データ変換手段より得られた値 $(s+1)$ は、キャリア信号と比較してPWM信号生成手段からPWM信号を出力することを r 回繰り返す。その後、値 s がキャリア信号と比較してPWM信号生成手段からPWM信号を出力することを $(2^N - r)$ 回繰り返す。この動作により、演算周期 T_e の間のPWM信号の平均値は、次の式1で求められ、これは制御量 S に等しい。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】次に、図2の割込み出力フローB.にしたがってCPU1の割込み処理について述べる。 $a-1)$ イニシャライズ処理の後で割込み処理が許可されて、時間 T_c 毎に割込み出力フローB.の動作を繰り返す。割込み出力フローB.では制御量 S が1回演算される間つまり時間 T_e に、基準値 s を $(2^N - r)$ 回、基準値に1を加えた値 $(s+1)$ を r 回、PWM出力する動作を行う。 $b-1$ 、 $b-4)$ では、主制御フローA.により制御量 S が更新されてから、何回減算カウンタ4、5に値をセットしたかを判定し、その回数に応じて $b-2)$ 、 $b-5)$ 、 $b-6$ のように基準値 s あるいは基準値に1を加えた値 $(s+1)$ を減算カウンタ4、5にセットする。値をセットした回数が下位4ビットの値 r 以下の場合には、基準値に1を加えた値 $(s+1)$ を減算カウンタ4、5にセットする。値をセットした回数が下位4ビットの値 r より多い場合には、基準値 s を減算カウンタ4、5にセットする。図3に示したように、時間 T_e の間に減算カウンタ4、5にセットする値を 2^N 種類変えることで、4ビット分細かい分解能でPWM出力できることが分かる。